

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-186289

(43)Date of publication of application : 15.07.1997

(51)Int.Cl. H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 08-328260

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 09.12.1996

(72)Inventor : DEGANI YINON
DUDDERAR THOMAS DIXON
BYUNG JOON HAN

(30)Priority

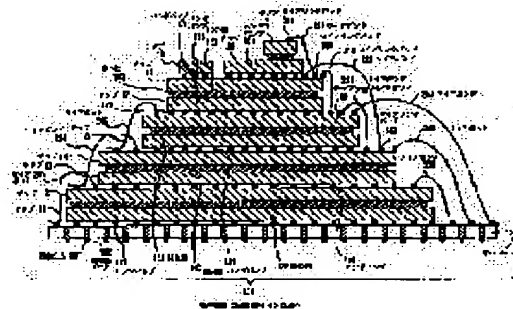
Priority number : 95 580220 Priority date : 28.12.1995 Priority country : US

(54) MULTILAYER LAMINATED INTEGRATED CIRCUIT CHIP ASSEMBLY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the assembly of integrated circuit chips laminated in multilayers.

SOLUTION: The chip assembly of the laminated structure of multilayers is constituted by alternately disposing chips 11, 12, 13, 14, 15, 16, 17, 18 and connecting layers 122, 142, 162, 182 and solder bumps 201. The advantage is that the bottom surface of the chip is connected to the upper surface of the chip by insulating connecting layer. Further, another advantage is that the wiring pad on the bottom surface of the flip-chip is electrically connected to the wiring pad of the chip on the upper surface of the next lower level by the solder bump.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

引用例の対応日本公報の写し

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-186289

(43) 公開日 平成9年(1997)7月15日

(51) IntCl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H01L 25/065			H01L 25/08	B
25/07				
25/18				

審査請求 未請求 請求項の数12 OL (全5頁)

(21) 出願番号 特願平8-328260

(22) 出願日 平成8年(1996)12月9日

(31) 優先権主張番号 580220

(32) 優先日 1995年12月28日

(33) 優先権主張国 米国 (US)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッド

Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(72) 発明者 イノン デガニ

アメリカ合衆国, 08904 ニュージャージ
ー、ハイランド パーク、クレヴェランド
アヴェニュー 10

(74) 代理人 弁理士 三俣 弘文

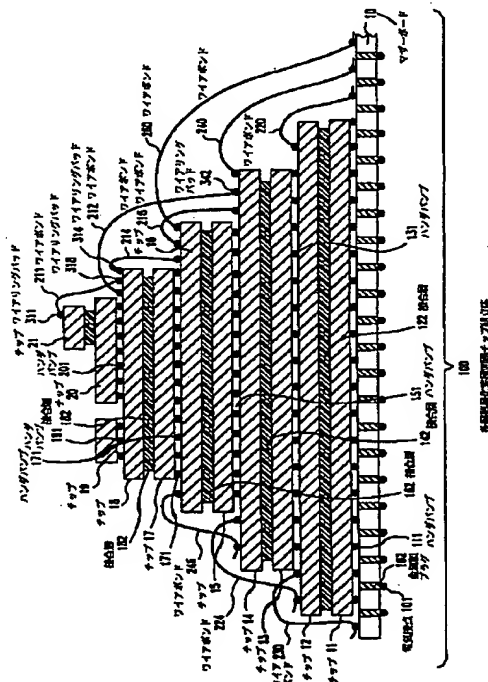
最終頁に続く

(54) 【発明の名称】 多層積層化集積回路チップ組立体

(57) 【要約】

【課題】 多層に積層された集積回路チップの組立体を提供する。

【解決手段】 本発明は多層の積層構造のチップ組立体を、それぞれチップ11、12、13、14、15、16、17、18と接合層122、142、162、182とハンダバンプ201とを交互に配置して構成する。本発明の利点は、チップの底部表面は、チップの上部表面に絶縁性接合層により接合される点である。さらに本発明の別の利点は、ハンダバンプがフリップチップの底部表面上のワイアリングパッドを次の下部レベルの上部表面上のチップのワイアリングパッドに電氣的に接続することである。



【特許請求の範囲】

【請求項1】 多層積層化集積回路チップ組立体(100)において、

(a) 上部表面にワイアリング基板(10)あるいは第1集積回路チップあるいは第1ワイアリングパッドを有する第1デバイス(10)と、

(b) 集積回路チップあるいはワイアリング基板を有する第2と第3のデバイス(11, 12)と、前記第2のデバイス(11)は、前記第1のデバイス(10)上に配置され、その底部表面は、集積回路と少なくとも第2のワイアリングパッドとを有し、前記第3のデバイス(12)は、第2のデバイス(11)上に配置され、その上部表面は、集積回路と少なくとも第3のワイアリングパッドとを有し、

(c) 前記第3ワイアリングパッドを前記第1ワイアリングパッドに直接電氣的に接続するワイアボンド(220)とを有することを特徴とする多層積層化集積回路チップ組立体。

【請求項2】 前記第3デバイス(12)の底部表面と、前記第2デバイスの上部表面とは、ほぼ同一の横方向の寸法を有することを特徴とする請求項1の組立体。

【請求項3】 (d) 前記第3デバイス(12)の底部表面を、前記第2デバイスの上部表面に接合する接合層(122)をさらに有することを特徴とする請求項1または2の組立体。

【請求項4】 (e) 前記第2ワイアリングパッドを、前記第1デバイスの上部表面の第1ワイアリングパッドに直接接続する第1ハンダバンプ(111)をさらに有することを特徴とする請求項1または3の組立体。

【請求項5】 (f) 集積回路チップあるいはワイアリング基板をそれぞれ有する第4と第5のデバイス(13, 14)と、前記第5のデバイス(14)は、第4のデバイス(13)上に配置され、前記第4のデバイス(13)は、前記第3のデバイス(12)上に配置され、前記第4のデバイス(13)は、その底部表面に配置された第4のワイアリングパッドを有し、前記第5のデバイス(14)は、その上部表面に配置された第5のワイアリングパッドを有し、

(g) 前記第5のワイアリングパッドを前記第1のデバイスの上部表面の第1のワイアリングパッドと直接接続する第2のワイアボンド(240)とをさらに有することを特徴とする請求項1または4の組立体。

【請求項6】 (h) 第2ワイアリングパッドを第1デバイスの上部表面上の第1ワイアリングパッドに直接接続する第1ハンダバンプ(111)と、前記第4ワイアリングパッドを前記第3デバイスの上部表面上の第3ワイアリングパッドに直接接続する第2ハンダバンプ(131)とをさらに有することを特徴とする請求項5の組立体。

【請求項7】 (i) 前記第5デバイス(14)の底

部表面を前記第4デバイス(13)の上部表面に接合する接合層(142)をさらに有することを特徴とする請求項6の組立体。

【請求項8】 前記第3デバイス(13)の上部表面と、前記第2デバイス(14)の底部表面とは、ほぼ同一の横方向の寸法を有することを特徴とする請求項7の組立体。

【請求項9】 (j) 前記第4ワイアリングパッドを、前記第3デバイスの上部表面の第3ワイアリングパッドに直接接続するハンダバンプ(131)をさらに有することを特徴とする請求項7の組立体。

【請求項10】 (k) 第5デバイスの上部表面上の第5ワイアリングパッドを、第3デバイスの上部表面上の第3ワイアリングパッドに直接接続する第3ワイアボンド(224)をさらに有することを特徴とする請求項6の組立体。

【請求項11】 (l) 前記第5デバイスの底部表面を、前記第4デバイスの上部表面に接合する第2接合層(142)をさらに有することを特徴とする請求項8の組立体。

【請求項12】 前記第4デバイスの上部表面と、前記第5デバイスの底部表面とは、ほぼ同一の横方向の寸法を有することを特徴とする請求項6の組立体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路組立体に関し、特に複数の電氣的に相互接続された半導体集積回路チップを有する組立体に関する。

【0002】

【従来の技術】半導体集積回路(以下単にチップと称する)は、通常シリコン製チップで、一対の平行な主表面を有する。トランジスタとこれらトランジスタ間の金属線を有するチップの回路要素は、チップの一方の主表面の上にだけ集積されている。これにより物理的および形状的な制約がチップ間の相互接続に課されてしまう。

【0003】従来、当業者は、様々な手段により複数のチップを相互接続しようと試みている。例えば、ヨーロッパ特許出願0304263号は、三段階の組立体を教示している。この組立体は、その上部にドーター(娘)チップを有し、そしてこのドーターチップがそのトップレベルを形成する。このドーターチップは、中間チップによりサポートされ、そしてこのドーターチップが再び組立体の中間レベルを形成する。

【0004】このドーターチップは、フリップチップと同様に底部主表面上に配置された集積回路と、ワイアリングパッドとを同一方向に向けている。中間チップは、組立体の下部レベル上のマザー(母)チップにサポートされ、そして下部レベルを形成している。ハンダバンプが、ドーターチップの底部表面上のワイアリングパッド(I/Oパッド即ち入出力パッド)を中間チップの上部

表面上のワイアリングパッドと接続している。また、ワイアボンドがマザーチップの上部表面上のワイアリングパッドを電気的に接続している。

【0005】上記に記載した組立体の欠点は、マザーチップに対する入力となるようなドーターチップからの電気信号は、先ず中間チップを経由して配信され、これにより信号伝送を不当に遅延させてしまう。そして同時に、中間チップの貴重なスペースを浪費してしまう。さらにまた従来の組立体は、中間チップ（少なくとも側面方向に）はドーターチップよりも幅広く形成されねばならないか（これにより不当な実際上の制約を介してしまう）、あるいは中間チップは少なくとも2つの分離したより小さなパーツを有さなければならない（これも好ましくない実際の制約条件を与えてしまう）。

【0006】この集積回路チップ自体の特性に加え、作業者はワイアリング基板（プリント回路基板、プリントワイアリングボード、マザーボード、金属リードフレーム、セラミックワイアリング基板、シリコンワイアリング基板）を用いて、チップの組立に対し、機械的なサポートを与えながら、これらのワイアリング基板を介して、チップに外部から電気的にアクセスするために、チップに接続される導電性ワイアリングを与えようとしている。これらのワイアリング基板は、組立体の一部を形成している。しかし、従来の組立体においては、上記したような欠点を解除することはできていない。

【0007】

【発明が解決しようとする課題】したがって本発明の目的は、上記したような欠点を解決した集積回路チップの組立体を提供することである。

【0008】

【課題を解決するための手段】本発明は多層の積層構造のチップ組立体により前記の問題点を解決するものである。この積層体の交互のレベルは、それぞれチップとフリップチップとからなる。例えば奇数番目のレベル（積層体の底部から数えて、但し接合層は数えない）は、チップを有し、偶数番目のレベルは、フリップチップを有する。この各チップとフリップチップとは、その主表面上に配置された少なくとも1つのワイアリングパッドを有する。

【0009】少なくとも1本のワイアボンドが、あるレベル上に配置されたチップの上部表面上のワイアリングパッドと、別のレベル上のチップのワイアリングパッドとを接続する。このワイアボンドにより接続されたワイアリングパッドを有するチップは、少なくとも1つのフリップチップを有する少なくとも1つのレベルによって垂直方向に分離されている。チップの代わりワイアリング基板でレベルを構成することも可能である。

【0010】本発明の利点は、チップの底部表面は、チップの次の下部レベル上のフリップチップの上部表面に絶縁性接着剤により接合される点である。さらに本発明

の別の利点は、ハンダバンプがフリップチップの底部表面上のワイアリングパッドを次の下部レベルの上部表面上のチップのワイアリングパッドに電気的に接続することである。

【0011】本発明の一実施例によれば、多層レベルの積層化集積回路チップ構造体は、請求項1に記載したような特徴を有する。本明細書において、「直接的な電気的接合」という用語は、ワイアボンドが接続する2個のワイアリングパッドの間に間挿されたレベル上に配置されたどのようなワイアリングパッドも電気的には接触しないという状態をさす。

【0012】さらに本発明の利点は、第2チップの底部表面は、少なくとも1つのワイアリングパッドを有し、このワイアリングパッドが第1チップの上部表面上に配置されたワイアリングパッドに、あるいはワイアリング基板にハンダバンプにより電気的に接続される点である。さらに本発明の利点は、請求項2、3に記載したような構造を有する。

【0013】このように接合されるチップの側面方向の寸法が等しい利点は、（マザーボードを第1チップとした場合）第2チップと第3チップが同一の側面方向の寸法を有する場合のみならず、側面方向の最小化（最小の投影面積）が必要な場合に発揮される。特に、必要によってはこれらは同一の厚さを有する。さらにまた複数の第3チップを第2チップ上に配置することもできる。同時にまた本発明の組立体は、（1）ワイアリング基板あるいは第1チップ、（2）第2チップ、（3）第3チップによりそして各レベルがチップあるいはワイアリング基板を有するようにして形成される4以上のレベルを有することができる点である。

【0014】

【発明の実施の形態】図1において、多層積層化集積回路チップ組立体100は、チップ11、12、13、14、15、16、17、18、19、20、21を支持するマザーボード10からなる。このマザーボード10は、外部電気アクセス用の電気接点101の列を有する。マザーボード10内のビアホール（開口）は、金属製プラグ102により充填されるか、銅メッキされるか（図示せず）、あるいは金属製プラグ102で充填され銅メッキされてマザーボード10の上部表面から底部表面への電気的アクセスを提供する。

【0015】チップ19、20、17、15、13、11は、上部表面ではなく底部表面がそれぞれのチップの集積回路を含むためにフリップチップである。これらのチップ19、20、17、15、13、11は、底部表面に配置されたワイアリング（図示せず）を有する。他のチップ21、18、16、14、12は、それぞれの上部表面上に配置されたワイアリング（図示せず）とワイアリングパッド（図示せず）とを有する。図面を明確にするために、全てのワイアリングパッドに参照番号が付

されているわけではない。

【0016】チップ19、20は、チップ18、21からなる2つのレベルの間で同一レベル上に配置されている。チップ21、18、16、14、12のそれぞれの底部表面は、接合層182、162、142、122によりそれぞれチップ20、17、15、13、11の上部表面に接着される。通常この接合層182、162、142、122は、絶縁体で応力を解放する複雑な構造である。これに関しては、米国特許第5,473,512号と出願中の "Electronic Device Package Enclosed by a Pliant Medium Laterally Confined by a Plastic Rim Member" filed on December 4, 1995 (T. D. Dudde ar 16-6-6-21) に記載されている。

【0017】ハンダバンパ191とハンダバンパ201の列は、チップ19とチップ20の底部表面上のワイリングパッドの少なくとも一部を、チップ18の上部表面上のワイアリングパッドの少なくとも一部に直接電氣的に接続している。同様にハンダバンパ171の列は、チップ17の底部表面上のワイアリングパッドの少なくとも一部をチップ16の上部表面のワイアリングパッドの少なくとも一部に電氣的に接続している。同様にハンダバンパ151とハンダバンパ131とハンダバンパ111の列は、チップ14とチップ12とマザーボード10の上部表面上のワイアリングパッドをそれぞれ電氣的に接続している。

【0018】ワイアボンド211は、チップ21の上部表面上のワイアリングパッド311をチップ18の上部表面上のワイアリングパッド318とを電氣的に接続し、ワイアボンド214は、チップ18の上部表面上の別のワイアリングパッド314と、チップ16の上部表面上のワイアリングパッドとを電氣的に接続している。ワイアボンド216は、チップ16の上部表面上のもう一つのワイアリングパッドをチップ14の上部表面上のワイアリングパッドと電氣的に接続している。ワイアボンド212は、チップ18の上部表面上の別のワイアリングパッドを、チップ14の上部表面上の別のワイアリングパッド342を電氣的に接続している。ワイアボンド260は、チップ16の上部表面上の別のワイアリングパッドと、マザーボード10の上部表面上のワイアリングパッドとを電氣的に接続している。

【0019】ワイアボンド220、230は、チップ12の上部表面上の別々のワイアリングパッドをマザーボード10の上部表面上の別々のワイアリングパッドに電氣的に接続する。ワイアボンド246は、チップ16の上部表面上のさらに別のワイアリングパッドをチップ14の上部表面上のさらに別のワイアリングパッドに電氣的に接続する。ワイアボンド224は、チップ14の上部表面上のワイアリングパッドをチップ12の上部表面上のワイアリングパッドに電氣的に接続する。

【0020】どのワイアボンドも少なくとも1つのレベ

ルをスキップする（飛び越える）ことができ、そして一般的には、奇数番号のレベルをスキップすることができる。

【0021】本発明の変形例としては、マザーボード100は、マザーボード以外のワイアリング基板、あるいは集積回路チップで置換することもできる。レベル数は、3まで減らすこともでき、この場合少なくとも1つのワイアボンドが、トップレベル（即ち上部チップ）の上部表面上のワイアリングパッドをボトムレベル（即ちマザーボードあるいは他のワイアリング基板あるいは他のチップ）の上部表面上のワイアリングパッドと電氣的に接続するものであり、そしてこの利点としては、（フリップチップ）の中間レベルの下部レベルの上部表面との間のハンダバンパの列を維持することができる点である。

【0022】さらにまたマザーボード10は、例えば110と番号を付けた別のチップでも良く、そしてその少なくとも一部は、チップ11の上の部分よりも幅広いものであってもよい。このような場合、ワイアリング基板は、チップ110の側面寸法よりも広い側面寸法を有し、例えば、チップ110の下にある金属リードフレーム（図示せず）さらにまたこのチップ110の底部表面は、ワイアリング基板の上部表面にハンダ付けされるハンダバンパを有する。

【0023】さらにまたこのような場合、チップ110の上部表面は、チップ110の上部表面上のワイアリングパッドをワイアリング基板の上部表面上のワイアリングパッドと接続する少なくとも1本のワイアボンドを有することもできる。さらにまたこのような場合、少なくとも1本のワイアボンドは、チップ12の上部表面のワイアリングパッドを、直接チップ110の下のワイアリング基板の上部表面のワイアリングパッドと接続することもできる。

【0024】

【発明の効果】以上述べたように本発明は、従来の問題を解決した多層の積層構造のチップ組立体を提供するものである。本発明の組立体は、（1）ワイアリング基板あるいは第1チップ、（2）第2チップ、（3）第3チップによりそして各レベルがチップあるいはワイアリング基板を有するようにして形成される4以上のレベルを有することができる。本発明の利点は、チップの底部表面は、チップの次の下部レベル上のフリップチップの上部表面に絶縁性接着剤により接合される点である。さらに、ハンダバンパがフリップチップの底部表面上のワイアリングパッドを次の下部レベルの上部表面上のチップのワイアリングパッドに電氣的に接続することである。

【図面の簡単な説明】

【図1】本発明の一実施例による多層積層化集積回路チップ組立体の断面図

【符号の説明】

10 マザーボード

11, 12, 13, 14, 15, 16, 17, 18, 1

9, 20, 21, 110チップ

100 多層積層化集積回路チップ組立体

101 電気接点

102 金属製プラグ

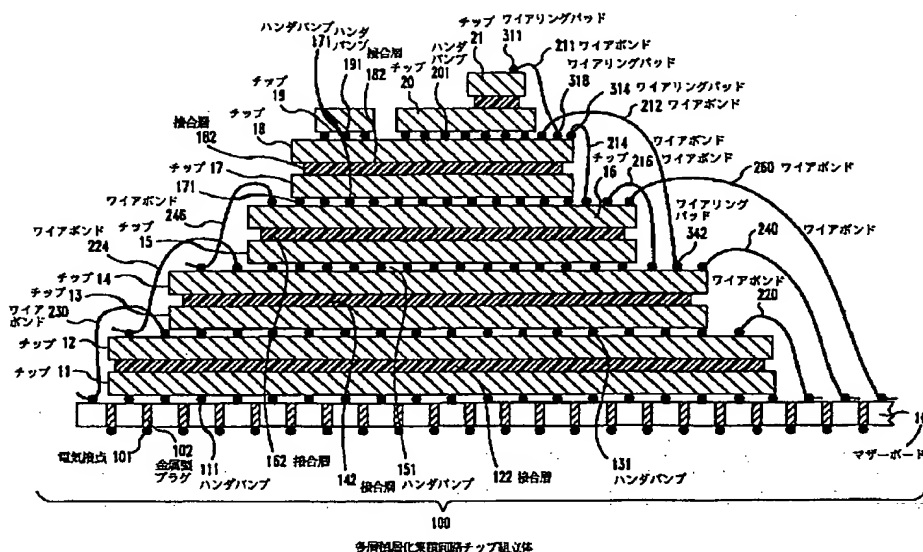
111, 131, 151, 171, 191, 201 ハンダバンパ

122, 142, 162, 182, 212 接合層

211, 212, 214, 216, 220, 224, 230, 246, 260ワイアボンド

311, 314, 318, 342 ワイアリングパッド

【図1】



フロントページの続き

(71)出願人 596077259

600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636 U. S. A.

(72)発明者 トーマス ディキソン ダッデラー
アメリカ合衆国, 07928 ニュージャージー,
チャタム, スクール アヴェニュー
30

(72)発明者 ビュン ジョーン ハン
韓国, ソウル, ソンパーク, バンギード
ン, オリピック アパートメント 125
-502